

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000012732
PUBLICATION DATE : 14-01-00

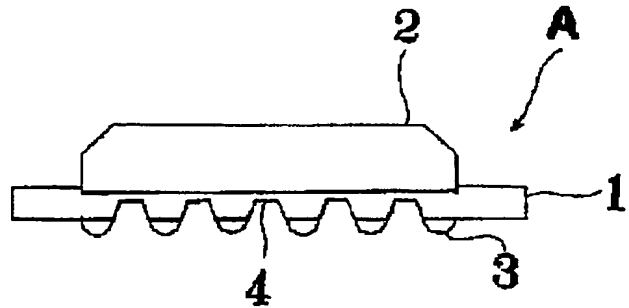
APPLICATION DATE : 24-06-98
APPLICATION NUMBER : 10177631

APPLICANT : ROHM CO LTD;

INVENTOR : KAMEDA HIROSHI;

INT.CL. : H01L 23/12 H01L 21/60

TITLE : STRUCTURE OF BGA-TYPE
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To prevent the occurrence of cracks in a BGA-type semiconductor device by a method, wherein a groove is formed so as to be located in a clearance between solder balls on a substrate face on which the solder balls are mounted.

SOLUTION: A BGA-type semiconductor device A is constituted of a substrate 1, a mold 2 and solder balls 3 the mold part 2 is electrically connected to between a semiconductor chip which is connected to the substrate 1 and the substrate 1 and is formed by mold-sealing with a mold resin. The solder balls 3 are used for mounting the BGA-type semiconductor device A on a mounting substrate by a reflow and electrically connecting. A groove 4 is formed on a face, on which the solder balls 3 of the substrate 1 are mounted, and an arrangement position of the groove 4 is set in a clearance between the adjacent solder balls 3 in an outside direction from the center of the substrate 1 and in a part positioned in the side of a concentric rectangular configuration centering the center part of the substrate 1. As a result, it is possible to relax the warpage of the semiconductor device by the groove and prevent the occurrence of cracks in the semiconductor device.

COPYRIGHT: (C)2000,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-12732
(P2000-12732A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 23/12		H 0 1 L 23/12	L 4 M 1 0 5
21/60	3 1 1	21/60	3 1 1 S

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平10-177631

(22) 出願日 平成10年6月24日 (1998.6.24)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 亀田 寛

福岡県行橋市大字稲童字島ヶ田837番地の

1 ローム福岡株式会社内

(74) 代理人 100080160

弁理士 松尾 憲一郎

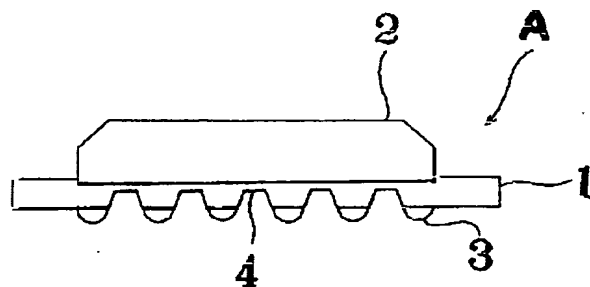
Fターム (参考) 4M105 AA01 AA17 BB05

(54) 【発明の名称】 BGA型半導体装置の構造

(57) 【要約】

【課題】 BGA型半導体装置において、同BGA型半導体装置の基板のソリによりクラックが発生し、また、同BGA型半導体装置をリフローにより実装基板に実装する際、装着かつ導通用の半田ボールどうしのショートが発生する。

【解決手段】 BGA型半導体装置における半田ボールを装着する基板面において、各半田ボール間の間隙に位置する部分に溝を形成する。



【特許請求の範囲】

【請求項1】 BGA型半導体装置において、半田ボール(3)を装着する基板(1)面に、各半田ボール(3)間の間隙に位置するように溝(4)を形成したことを特徴とするBGA型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、BGA型半導体装置の構造に関する。

【0002】

【従来の技術】従来、図8に示すように、BGA型半導体装置100は、基板110と、モールド部120と、多数の半田ボール130とにより構成される。

【0003】モールド部120は、基板110に着接された半導体チップと基板110との間をワイヤーボンディング等により電気的に接続した後、モールド樹脂によりモールド封止されて形成される。

【0004】半田ボール130は、リフローにより前記BGA型半導体装置100を実装基板200へ装着、かつ、電気的に接続するために使用される。

【0005】一般的に、半田ボール130の配設は、基板110の各外辺と平行に、縦方向、横方向とも一定で、整順した位置で配設される。

【0006】

【発明が解決しようとする課題】ところが、昨今の市場要求により、このようなBGA型半導体装置は、接続端子が増加する傾向にあり、これに伴い、同BGA型半導体装置は、外辺寸法の拡大化、及びまたは半田ボールによる接続端子の狭ピッチ化が求められている。

【0007】そのため、この外辺寸法の拡大化により、BGA型半導体装置にはソリが生じやすくなり、同BGA型半導体装置にはクラックが発生するという問題があった。

【0008】また、同BGA型半導体装置は、半田ボールを装着する基板面が平面状となっているため、半田ボールの接続端子が狭ピッチ化されると、リフローによる実装時、図8に示すように、溶融された半田が隣の半田と接合し、ショート300が発生するという問題があった。

【0009】

【課題を解決するための手段】そこで、本発明では、BGA型半導体装置において、半田ボールを装着する基板面に、各半田ボール間の間隙に位置するように溝を形成したことを特徴とするBGA型半導体装置を提供せんとするものである。

【0010】

【発明の実施の形態】通常、BGA型半導体装置の基板は、半田ボールを装着する面が平面状の面となっている。

【0011】しかし、本発明のBGA型半導体装置の基

板は、半田ボールを装着する面において、各半田ボール間の間隙となる位置にそれぞれ溝が形成される。

【0012】従って、BGA型半導体装置は、その基板外辺寸法が大きくなっても、前記溝によりソリが緩和され、BGA型半導体装置にクラックが生起されることはない。

【0013】また、同溝の形成により、リフローによる実装時、溶融された半田が側方に溶け拡がろうとしても、前記溝の凹状部壁面が過剰な半田を保持することにより、隣設されている溶融半田どうしがショートすることはない。

【0014】従って、半田ボールのピッチはさらに狭くすることができ、しかもそれにより、BGA型半導体装置の外辺寸法を小さくすることができるので、同BGA型半導体装置のソリがより緩和され、同BGA型半導体装置に生起されるクラックは、より抑制されることになる。

【0015】

【実施例】この発明の実施例を図面に基づき説明する。

【0016】図1に示すように、BGA型半導体装置Aは、基板1と、モールド部2と、多数の半田ボール3とにより構成される。

【0017】モールド部2は、基板1に着接された半導体チップと基板1との間がワイヤーボンディング等により電気的に接続され、モールド樹脂によりモールド封止されて形成される。

【0018】半田ボール3は、リフローにより前記BGA型半導体装置Aを実装基板Bへ装着、かつ、電気的に接続するために使用される。

【0019】基板1の半田ボール3が装着された面には、溝4が形成されており、図2に示すように、溝4の配設位置は基板1の中央から外側方向で隣設する各半田ボール3間の間隙で、かつ、基板1の中央部を中心とする同心方形の各辺に位置する部分である。

【0020】この溝4の配設については、図3または図4に示すように、隣り合う半田ボール3間すべてに溝4を配設した斜め格子状または正方格子状のものでよく、基板1に生起されるソリを緩和させる配設とすればよい。

【0021】また、溝4の断面形状は、図1のような台形型切込み形状だけでなく、図5に示すような三角型切込み形状、あるいは図示していないが半円型切込み形状等でもよく、リフローの際の過剰な溶融半田を保持する凹状部が形成されていればよい。

【0022】このような溝4を配設することにより、基板1のソリが緩和され、基板1に生起されるクラックが防止できるとともに、リフローにより半田ボール3が溶融された際に、溝4の凹状部が過剰な溶融半田を保持し、隣設している溶融半田間でのショートが防止される。

【0023】さらに、溝4の形成により通気性が高められ、BGA型半導体装置Aが発する熱の放熱性を向上させることができる。

【0024】さらに、本発明の効果をより高めるために、図6及び図7に示すように、実装基板B上にも溝Dを設けてもよい。

【0025】同溝Dは、実装基板Bに配設されている半田ボール3との接続端子部Cの間隙に設けられており、リフローにより半田ボール3を溶融し、BGA型半導体装置Aを実装基板Bに装着した際、前記溝Dの凹状部壁面が過剰な半田を保持し、実装基板B側での溶融半田によるショートを防止することができる。

【0026】従って、各半田ボール3の配設間隔Eは、さらに狭ピッチ形状とすることができるので、BGA型半導体装置Aの外辺寸法をより小さくすることができる。

【0027】また、溝Dの配設位置を溝4と同じ配設とすることにより、半田ボール3間の通気性がさらに高まり、BGA型半導体装置Aが発する熱をより効率的に放熱することができる。

【0028】

【発明の効果】本発明によれば、BGA型半導体装置において、半田ボールを装着する基板面に、各半田ボール間の間隙に位置するように溝を形成したことにより、同半導体装置の外辺寸法が大きくなっても、同半導体装置のソリが同溝により緩和されることにより、クラックが同半導体装置に生起することを防止することができる。

【0029】また、各半田ボール間の間隙部分に溝が形成されていることにより、リフローによる実装時、溶融された半田のうちの過剰な半田が側方に溶け拡がろうと

しても、前記溝の凹部壁面が同過剰な半田を保持し、隣設する半田どうしがショートすることを防止することができる。

【0030】さらに、前記溝により隣設する半田ボールどうしのショートが防止されることにより、半田ボールの配設間隔をさらに狭くすることができ、BGA型半導体装置の外辺寸法を小さくすることができる。

【0031】従って、BGA型半導体装置のソリはさらに緩和されるため、同BGA型半導体装置に生起されるクラックの発生をさらに抑制することができる。

【図面の簡単な説明】

【図1】本発明に係るBGA型半導体装置の側面図である。

【図2】本発明に係るBGA型半導体装置の底面図である。

【図3】他の実施例のBGA型半導体装置の底面図である。

【図4】他の実施例のBGA型半導体装置の底面図である。

【図5】他の実施例のBGA型半導体装置の側面図である。

【図6】他の実施例の説明図である。

【図7】他の実施例の説明図である。

【図8】従来技術の説明図である。

【符号の説明】

A BGA型半導体装置

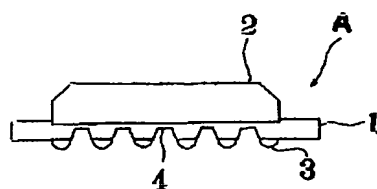
1 基板

2 モールド部

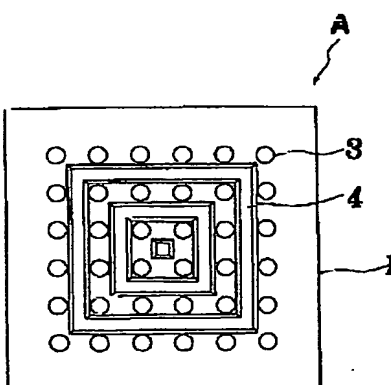
3 半田ボール

4 溝

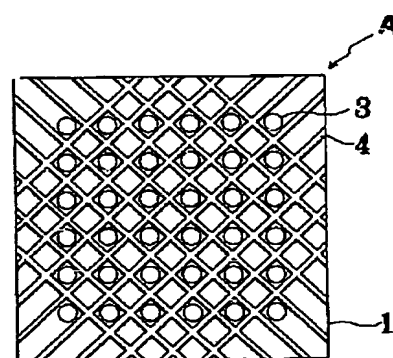
【図1】



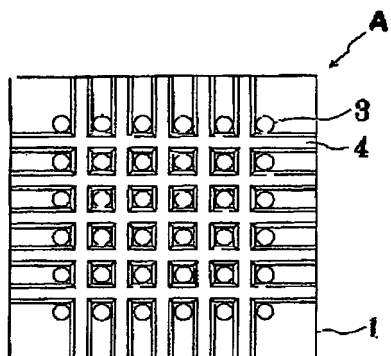
【図2】



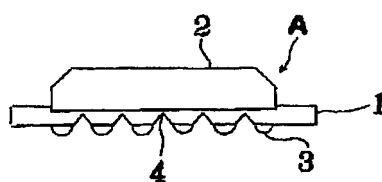
【図3】



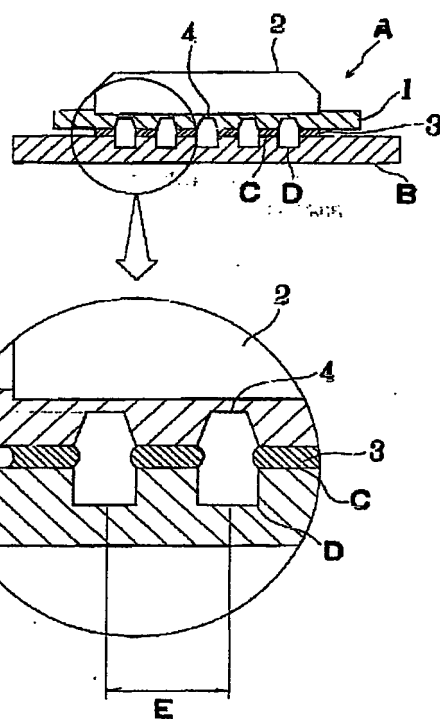
【図4】



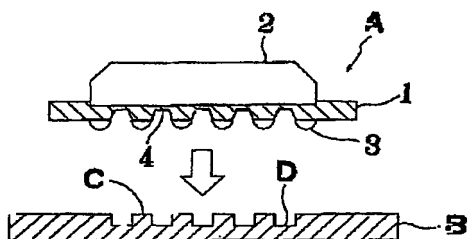
【図5】



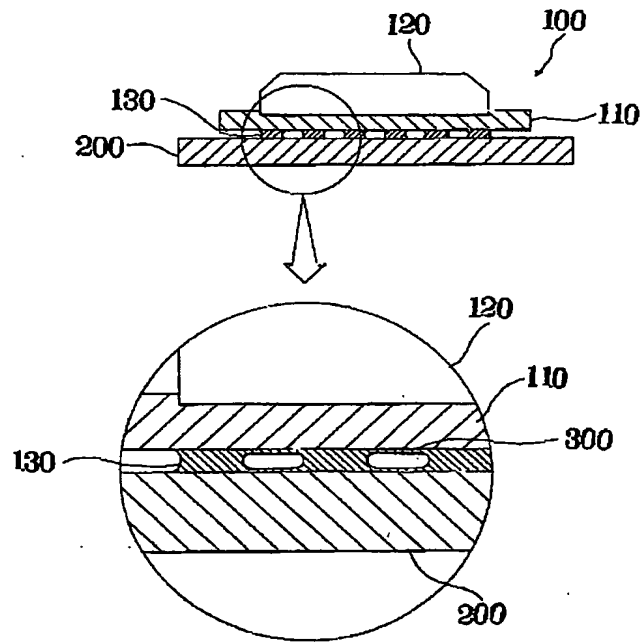
【図7】



【図6】



【図8】



THIS PAGE BLANK (USPTO)